



Document Summary



New
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link: An icon representing an email function, showing an envelope.

Document ID: JP 60-150644 A2

Title: COMPLEMENTARY SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Assignee: TOSHIBA CORP

Inventor: NAGAKUBO YOSHIHIDE

US Class:

Int'l Class: H01L 21/76 A; H01L 27/08 B

Issue Date: 08/08/1985

Filing Date: 01/18/1984

Abstract:

PURPOSE: To realize a semiconductor device of enhanced integration that is completely free of latchup by a method wherein elements are isolated from each other by an insulating film buried in a cavity at the bottom of a groove and by high-density impurity regions formed in contact with each other in the vicinity of adjacent cavities.

CONSTITUTION: An impurity of the second conductivity type is introduced selectively into a portion 33 of a semiconductor substrate 31 of the first conductivity type. Anisotropic etching is performed to selectively affect the substrate 31 for the formation of grooves 35. Next, isotropic etching is performed to selectively affect the bottoms of the grooves 35 for the formation of cavities 37 wider than the grooves 35. A process follows wherein an impurity of the first or second conductivity type is thermally diffused through the walls inside the cavities 37 for the formation of high-density impurity regions 39 of the first or second conductivity type, which go into contact with each other in the vicinity of neighboring cavities 37, and for the formation of element-forming regions of the first and second conductivity types. Further, an insulating material 41 is buried in the grooves 35 and cavities 37 for the formation of a MOS element with a channel of the second conductivity type in the element-forming region of the first conductivity type and a MOS element with a channel of the first conductivity type in the element-forming region of the second conductivity type.

THIS PAGE BLANK (USPTO)

(C)1985,JPO&Japio

Copyright © 1993-2000 Aurigin Systems, Inc.
Legal Notices

THIS PAGE BLANK (USPTO)

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑮ 公開特許公報(A)

昭60-150644

⑯ Int.Cl.⁴

識別記号

庁内整理番号

⑰ 公開 昭和60年(1985)8月8日

H 01 L 21/76
27/08

1 0 2

M-8122-5F
6655-5F

審査請求 未請求 発明の数 2 (全6頁)

⑱ 発明の名称 相補型半導体装置及びその製造方法

⑲ 特 願 昭59-5705

⑳ 出 願 昭59(1984)1月18日

㉑ 発 明 者 長 久 保 吉 秀 川崎市幸区堀川町72番地 東京芝浦電気株式会社堀川町工場内

㉒ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉓ 代 理 人 弁 理 士 鈴 江 武 彦 外 2 名

明 細 書

1. 発明の名称

相補型半導体装置及びその製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板に形成された溝の幅よりも幅広い空洞部を溝底部に有し、空洞部の内部に埋設された素子分離用の絶縁物と、隣接する空洞部の近傍で互いに接して形成された第1又は第2導電型の高濃度不純物領域と、前記絶縁物により分離して形成された第1及び第2導電型の素子領域と、前記第1導電型の素子領域に形成された第2導電型チャネルのMOS素子と、前記第2導電型の素子領域に形成された第1導電型チャネルのMOS素子とを具備したことを特徴とする相補型半導体装置。

(2) 隣接する溝の間隔が溝の深さの2倍以下であることを特徴とする特許請求の範囲第1項記載の相補型半導体装置。

(3) 第1導電型の半導体基板の一部に選択的に第2導電型の不純物を導入する工程と、異方

性エッチングにより基板の一部を選択的にエッチングして溝を形成する工程と、等方性エッチングにより溝の底部の基板のみをエッチングして溝の幅よりも幅広い空洞部を形成する工程と、該空洞部底面から第1又は第2導電型の不純物を熱拡散させて隣接する空洞部の近傍で互いに接する第1又は第2導電型の高濃度不純物領域を形成するとともに第1及び第2導電型の素子領域を形成する工程と、前記溝及び空洞部の内部に素子分離用の絶縁物を埋設する工程と、前記第1導電型の素子領域に第2導電型チャネルのMOS素子を、前記第2導電型の素子領域に第1導電型チャネルのMOS素子をそれぞれ形成する工程とを具備したことを特徴とする相補型半導体装置の製造方法。

(4) 等方性エッチングにより溝の底部の基板のみをエッチングする際及び空洞部底面から第1又は第2導電型の不純物を熱拡散させる際、少なくとも溝の側壁に酸化膜又は窒化膜を形成しておくことを特徴とする特許請求の範囲第3

項記載の相補型半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は相補型半導体装置及びその製造方法に関し、特に相補型半導体装置の素子分離技術に係る。

(発明の技術的背景とその問題点)

従来、半導体装置の素子分離法としては窒化シリコン膜を耐酸化性マスクとして利用する選択酸化法(Loss法)が最も一般的に使用されている。この方法で相補型MOS(CMOS)半導体装置の素子分離を行なうと第1図に示すようになる。図中1は例えばp型シリコン基板であり、この基板1表面にはp型ウェル領域2が選択的に設けられている。ウェル領域2以外の基板1とウェル領域2との間の表面には窒化シリコン膜をマスクとする選択酸化法によりフィールド酸化膜3、…が形成されている。ウェル領域2以外の基板1上にはゲート酸化膜4を介してゲート電極5が形成され、基板1表面に

はゲート電極5をマスクとするイオン注入によりp⁺型ソース、ドレイン領域6、7が形成されており、これらによってpチャネルMOSトランジスタが構成されている。ウェル領域2上にはゲート酸化膜4を介してゲート電極5が形成され、ウェル領域2表面にはゲート電極5をマスクとするイオン注入によりn⁺型ソース、ドレイン領域8、9が形成されており、これらによってnチャネルMOSトランジスタが構成されている。

しかし、CMOSにおいてはラッチアップを防止するため、n⁺型不純物領域とp⁺型不純物領域との間に一定以上の間隔を設ける必要があり、選択酸化法(Loss法)を用いた場合ウェル領域2を分離するためのフィールド酸化膜3の幅は通常6μm以上となっている。このため、素子の高集積化に対して大きな障害となっている。

そこで、第2図(a)~(e)に示すような素子分離技術が提案されている。まず、例えばp型シリコン基板1の一部に選択的にウェル領域形成

のために例えばボロンをイオン注入し、ボロンイオン注入層12を形成した後、異方性エッチングにより基板1の一部を選択的にエッチングして深い溝13、…を形成する(第2図(a)図示)。次いで、熱処理を行ない前記ボロンイオン注入層12のボロンを拡散させてp型ウェル領域14を形成する。つづいて、全面に例えばCVD酸化膜を堆積した後、全面エッチバックして前記溝13、…内のみCVD酸化膜15、…を埋設し素子分離を行なう(同図(b)図示)。次いで、通常の工程に従い、ウェル領域14以外の基板11上にゲート酸化膜16を介してゲート電極17を形成し、ゲート電極17をマスクとするイオン注入によりp⁺型ソース、ドレイン領域18、19を形成する。また、ウェル領域14上にゲート酸化膜16を介してゲート電極17を形成し、ゲート電極17をマスクとするイオン注入によりn⁺型ソース、ドレイン領域20、21を形成する。

なお、CVD酸化膜15、…の代わりに溝13、

…内に例えば熱酸化膜を介して多結晶シリコン膜を埋設することにより素子分離を行なう場合もある。

第2図(b)図示のCMOS半導体装置では深い溝13、…内に埋設されたCVD酸化膜15、…によってn⁺型不純物領域とp⁺型不純物領域との間隔が実効的に長くなっているため、耐ラッチアップ性能を確実に向上することができ、CVD酸化膜15、…の幅を約1μmとすることができるので素子の高集積化にとって有利となる。

しかし、n⁺型不純物領域とp⁺型不純物領域との間の抵抗が大きく、完全にラッチアップフリーとすることはできない。上記抵抗を低減するにはエピタキシャルウェハを用い、高濃度の埋込み層を形成して溝内の懸縁物がこの埋込み層に達するようにするか、あるいは、ウェル領域の不純物濃度を高くすることが考えられる。しかし、前者の手段では高濃度の埋込み層を制御性よく形成することが困難であり、またエピタキシャルウェハが高価なのでコスト面でも問題

がある。一方、後者の手段ではウェル領域を高濃度にしすぎると、基板表面の素子特性に影響するので、表面付近の濃度を低下させるために逆導電型イオンのカウンタースイオン注入等が必要となり、工程の煩雑化、制御性の低下、コストアップ等問題が多い。

〔発明の目的〕

本発明は上記事情に鑑みてなされたものであり、エピタキシャルウェルを使用することなく、基板及びウェル領域の濃度を通常の濃度としたままで、完全にラッチアップフリーでしかも集積度の向上した相補型半導体装置とその製造方法を提供しようとするものである。

〔発明の概要〕

本願第1の発明の相補型半導体装置は第1導電型の半導体基板に形成された溝の幅よりも幅広い空洞部を溝底部に有し、空洞部の内部に埋設された素子分離用の絶縁物と、隣接する空洞部の近傍で互いに接して形成された第1又は第2導電型の高濃度不純物領域と、前記絶縁物に

より分離して形成された第1及び第2導電型の素子領域と、前記第1導電型の素子領域に形成された第2導電型チャンネルのMOS素子と、前記第2導電型の素子領域に形成された第1導電型チャンネルのMOS素子とを具備したことを特徴とするものである。

このような相補型半導体装置によれば、寄生サイリスタが形成されても高濃度不純物領域（埋込み低抵抗層）によって電流増幅率を低下させることができるので、完全にラッチアップを防止することができる。

また本願第2の発明の相補型半導体装置の製造方法は、第1導電型の半導体基板の一部に選択的に第2導電型の不純物を導入する工程と、異方性エッチングにより基板の一部を選択的にエッチングして溝を形成する工程と、等方性エッチングにより溝の底部の基板のみをエッチングして溝の幅よりも幅広い空洞部を形成する工程と、該空洞部側面から第1又は第2導電型の不純物を熱拡散させて隣接する空洞部の近傍で

互いに接する第1又は第2導電型の高濃度不純物領域を形成するとともに第1及び第2の素子領域を形成する工程と、前記溝及び空洞部の内部に素子分離用の絶縁物を埋設する工程と、前記第1導電型の素子領域に第2導電型チャンネルのMOS素子を、前記第2導電型の素子領域に第1導電型チャンネルのMOS素子をそれぞれ形成する工程とを具備したことを特徴とするものである。

このような方法によれば極めて制御性よく高濃度不純物領域を形成することができ、しかも低コストで本願第1の発明の相補型半導体装置を製造することができる。

〔発明の実施例〕

以下、本発明の実施例を第3図(a)～(d)を参照して説明する。

まず、p型シリコン基板31表面に膜厚500Åの熱酸化膜32を形成する。次に、図示しないホトレジストパターンをマスクとして基板31の一部に選択的にnウェル形成のためのリンを

イオン注入し、リンイオン注入層33を形成する。つづいて、前記ホトレジストパターンを除去した後、全面に膜厚1μmのCVD酸化膜34を堆積する。つづいて、図示しないホトレジストパターンをマスクとしてCVD酸化膜34及び熱酸化膜32の一部を選択的にエッチングした後、前記ホトレジストパターンを除去する（第3図(a)図示）。

次いで、CVD酸化膜34のパターンをマスクとして異方性エッチングにより基板31をエッチングして、深さ5μmの溝35、…を5μm間隔で形成する。つづいて、1000℃で熱酸化を行ない溝35、…の内面に膜厚約1000Åの熱酸化膜36を形成する（同図(b)図示）。

次いで、異方性エッチングにより溝35、…底部の熱酸化膜36のみを完全にエッチング除去して溝35、…底部の基板31を露出させる。つづいて、例えばプラズマエッチング等のシリコンの等方性エッチングにより溝35、…底部のシリコンを1μm程度エッチングして溝35、

…より幅広い空洞部37, …を形成する(同図(c)図示)。

次いで、空洞部37, …内面を含む全面にCVD法により膜厚2000ÅのBSG膜(ボロン・シリケートガラス膜)38を形成する。つづいて、熱処理により空洞部37, …壁面のBSG膜38から基板31側へボロンを拡散させて p^+ 型不純物領域(掘込み低抵抗層)39を形成する。この p^+ 型不純物領域39は隣接する空洞部37, …周囲の p^+ 型不純物領域が互いに接して連続的な構造となつている。これと同時に前記リンイオン注入層33からリンが拡散して n 型ウェル領域40が形成される(同図(d)図示)。

次いで、例えば酸化アンモニウムを用いてBSG膜38、溝35, …の側壁のCVD酸化膜36, …基板31表面のCVD酸化膜パターン34, …及び熱酸化膜32をすべてエッチング除去する(同図(e)図示)。

次いで、全面にCVD酸化膜を堆積し、表面の平滑化を行なつて溝35, …及び空洞部37,

…の内部にのみCVD酸化膜41, …を埋設し、素子分離を行なう(同図(f)図示)。

次いで、周知の技術により n 型ウェル領域40以外の基板31及び n 型ウェル領域40上にそれぞれゲート酸化膜42, 42を介してゲート電極43, 43を形成する。つづいて、ゲート電極43, 43をマスクとしてウェル領域40以外の基板31に選択的に砒素をイオン注入することにより n^+ 型ソース、ドレイン領域44, 45を形成する。つづいて、ゲート電極43, 43をマスクとしてウェル領域40に選択的に例えばボロンをイオン注入することにより p^+ 型ソース、ドレイン領域46, 47を形成する。つづいて、全面に層間絶縁膜48を堆積した後、コンタクトホール49, …を開孔し、更に全面にAl膜を蒸着した後、パターンニングして配線50, …を形成し、CMOS半導体装置を製造する(同図(g)図示)。

しかして、第3図(h)図示のCMOSによれば、空洞部37, …周囲に p^+ 型不純物領域(掘込み低

抵抗層)39が連続的に形成されているので、PNPN又はNPNPのサイリスタが形成されても、 p^+ 型不純物領域39が低抵抗であることから電流増幅率 β が低下し、完全にラッチアップを防止することができる。

また、本発明方法によれば、エピタキシャルウェハを使用したり、ウェル領域の濃度を高くすることなくラッチアップを防止することができる、コスト的に有利であり、しかも p^+ 型不純物領域39は溝35, …の深さ、不純物量、熱処理時間だけで制御することができ、制御性が極めてよいので、素子特性が劣化することもない。また、溝35, …の幅よりも幅広い空洞部37, …の壁面から不純物を拡散させて p^+ 型不純物領域39を連続的に形成するので、熱処理時間を比較的短くすることができる。

なお、上記実施例では溝35, …の深さと5 μ m、溝35, …の間隔を5 μ mとしているが、これに限らず溝35, …の間隔は溝35, …の深さの2倍以下であればよい。

また、上記実施例では掘込み低抵抗層を p 型の高濃度不純物領域で形成しているが、 n 型の高濃度不純物領域で形成しても同様の効果を得ることができる。

更に、上記実施例では溝35, …及び空洞部37, …の内部にCVD酸化膜41, …を埋設したが、これに限らず例えば熱酸化膜を介して多結晶シリコン膜を埋設してもよい。

〔発明の効果〕

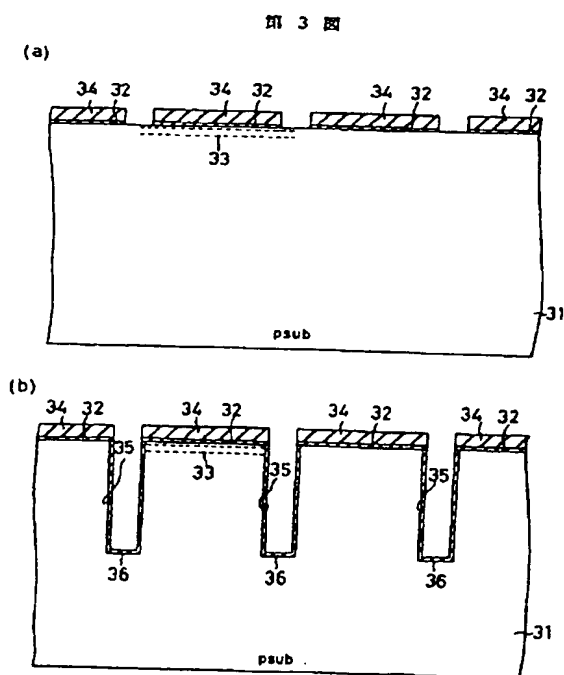
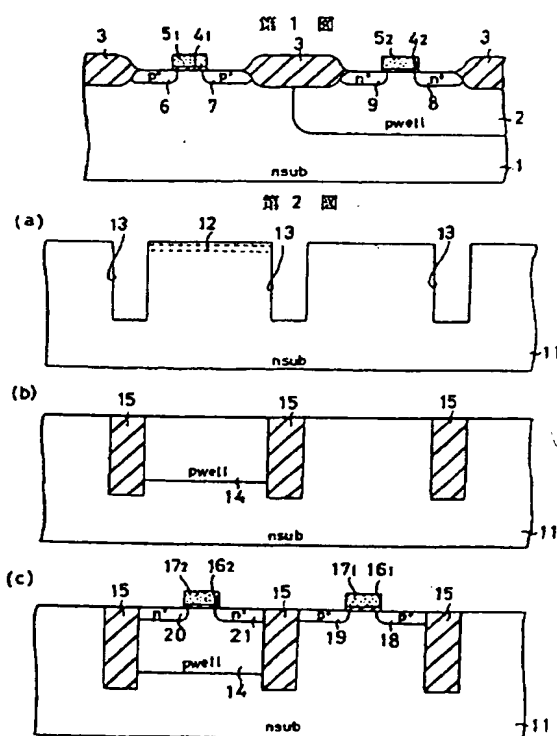
以上詳述した如く本発明によれば、集積度が高く、しかも完全にラッチアップフリーな相補型半導体装置及びこうした相補型半導体装置を制御性よく、低コストで製造し得る方法を提供できるものである。

4. 図面の簡単な説明

第1図は従来の選択酸化法を用いて製造されたCMOSの断面図、第2図(a)~(c)は従来の他の素子分離技術を用いたCMOSの製造方法を示す断面図、第3図(a)~(g)は本発明の実施例におけるCMOSの製造方法を示す断面図である。

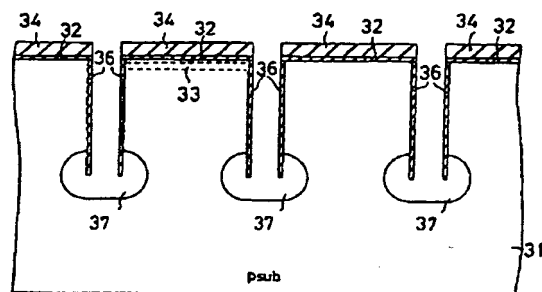
31...p型シリコン基板、32, 36...熱酸化膜、33...リンイオン注入層、34...CVD酸化膜、35...溝、37...空洞部、38...BSG膜、39...p⁺型不純物領域、40...n型ウェル領域、41...CVD酸化膜、42, 43...ゲート酸化膜、44, 45...ゲート電極、46...n⁺型ソース、ドレイン領域、47, 48...p⁺型ソース、ドレイン領域、49...層間絶縁膜、50...配線。

出願人代理人 弁理士 鈴 江 武 彦



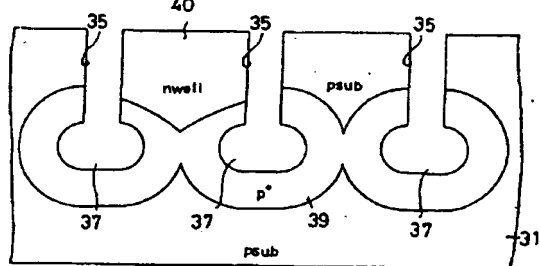
第 3 図

(c)

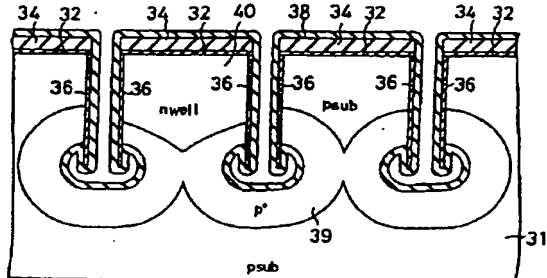


第 3 図

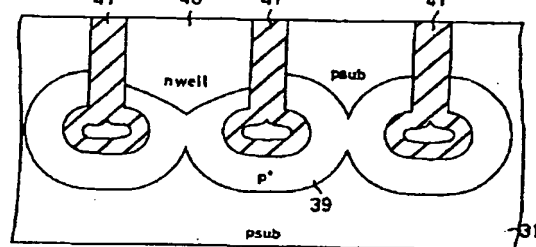
(e)



(d)



(f)



第 3 図

(g)

